

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yasuo ITOH

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: FERRO-ELECTRIC RANDOM ACCESS MEMORY

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e). Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-300522	October 15, 2002

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

**C. Irvin McClelland
Registration Number 21,124**

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

0301270

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月15日
Date of Application:

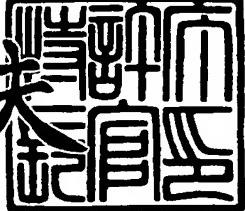
出願番号 特願2002-300522
Application Number:

[ST. 10/C] : [JP2002-300522]

出願人 株式会社東芝
Applicant(s):

2003年9月9日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫


【書類名】 特許願
【整理番号】 A000202296
【提出日】 平成14年10月15日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/78
【発明の名称】 強誘電体メモリ
【請求項の数】 10
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内
【氏名】 伊藤 寧夫
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男
【選任した代理人】
【識別番号】 100068814
【弁理士】
【氏名又は名称】 坪井 淳

【選任した代理人】**【識別番号】** 100092196**【弁理士】****【氏名又は名称】** 橋本 良郎**【選任した代理人】****【識別番号】** 100091351**【弁理士】****【氏名又は名称】** 河野 哲**【選任した代理人】****【識別番号】** 100088683**【弁理士】****【氏名又は名称】** 中村 誠**【選任した代理人】****【識別番号】** 100070437**【弁理士】****【氏名又は名称】** 河井 将次**【手数料の表示】****【予納台帳番号】** 011567**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 強誘電体メモリ

【特許請求の範囲】

【請求項 1】 第1強誘電体キャパシタを有するメモリセルと、参照電位を用いて、前記メモリセルのデータ値を判定するセンスアンプと、常誘電体キャパシタ及び第2強誘電体キャパシタを用いて前記参照電位を発生する参照電位発生回路とを具備することを特徴とする強誘電体メモリ。

【請求項 2】 前記常誘電体キャパシタの一端及び前記第2強誘電体キャパシタの一端は、共通ノードに接続され、前記常誘電体キャパシタの他端には、第1駆動信号が与えられ、前記第2強誘電体キャパシタの他端には、第2駆動信号が与えられることを特徴とする請求項1記載の強誘電体メモリ。

【請求項 3】 請求項2記載の強誘電体メモリにおいて、さらに、ビット線と、前記ビット線と前記共通ノードとの間に接続される選択トランジスタとを具備することを特徴とする強誘電体メモリ。

【請求項 4】 請求項2記載の強誘電体メモリにおいて、さらに、前記第1及び第2駆動信号の値を微調整するためのトリミング回路を具備することを特徴とする強誘電体メモリ。

【請求項 5】 前記参照電位発生回路は、メモリセルアレイ内に配置されることを特徴とする請求項2記載の強誘電体メモリ。

【請求項 6】 前記参照電位発生回路は、メモリセルアレイの周辺部に配置されることを特徴とする請求項2記載の強誘電体メモリ。

【請求項 7】 請求項6記載の強誘電体メモリにおいて、さらに、前記共通ノードの電位に基づいて電流駆動力を有する第1電位を発生するボルテージフォロア回路を具備することを特徴とする強誘電体メモリ。

【請求項 8】 請求項7記載の強誘電体メモリにおいて、さらに、前記参照電位の値を微調整する第2電位を発生するトリミング回路と、前記第1及び第2電位を加算する加算器とを具備することを特徴とする強誘電体メモリ。

【請求項 9】 第1強誘電体キャパシタを有するメモリセルと、参照電位を用いて、前記メモリセルのデータ値を判定するセンスアンプと、第2強誘電体キ

ヤパシタを用いて前記参照電位を発生する参照電位発生回路と、前記参照電位の値を微調整するトリミング回路とを具備することを特徴とする強誘電体メモリ。

【請求項 10】 第1強誘電体キャパシタを有するメモリセルからデータを読み出す場合に、第1及び第2ビット線をプリチャージし、前記第1ビット線の電位を前記データの値に応じて変化させ、常誘電体キャパシタ及び第2強誘電体キャパシタを用いて参照電位を生成し、前記第2ビット線の電位を前記参照電位に設定し、前記第1及び第2ビット線の電位差に基づいて前記データの値を判定することを特徴とする読み出し方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体メモリの参照電位発生回路に関し、特に、高集積化に適する1トランジスタ1キャパシタ(1T1C)タイプメモリセルから構成される強誘電体メモリに使用される。

【0002】

【従来の技術】

強誘電体メモリ(Ferro-electric Random Access Memory: FeRAM)は、不揮発にデータを記憶すると共に、読み出し／書き込み速度がDRAM及びSRAMと同程度に高速である、という特徴を有し、現在、最も注目されているメモリのうちの一つとなっている。

【0003】

DRAMに関しては、現在、128メガビット～512メガビットのメモリ容量を有する製品が商品化されているが、強誘電体メモリに関しては、歴史が浅く、32メガビットのメモリ容量を有する製品の開発が学会で報告されているに過ぎない。

【0004】

強誘電体メモリに関しても、今後、メモリ容量の大容量化が進行すると考えられるが、ここで問題となるのは、セル面積の縮小という課題である。

【0005】

従来の強誘電体メモリにおいては、安定動作を実現するために、2トランジスタ2キャパシタ(2T2C)タイプメモリセルを採用している。2T2Cタイプメモリセルとは、1ビットデータを、2つのトランジスタと2つのキャパシタを用いて記憶するタイプのメモリセルのことである。

【0006】

2T2Cタイプメモリセルは、2つの1T1Cタイプメモリセルを用いて1ビットデータを記憶するメモリセルである、と言うこともできる。この場合、一方の1T1Cタイプメモリセルに記憶されるデータと他方の1T1Cタイプメモリセルに記憶されるデータとは、互いに逆の値を持つように設定される。そして、データ読み出しは、両者のデータを比較することにより行うため、安定的な読み出し動作が可能となる。

【0007】

しかし、2T2Cタイプメモリセルは、1ビットデータを記憶するために必要とする素子数が多いため、必然的に、1ビット当たりに要するチップ上の面積が大きくなり、メモリ容量の大容量化には向いていない。

【0008】

そこで、現在では、主として、1T1Cタイプメモリセルを用いた強誘電体メモリの開発が行われている。1T1Cタイプメモリセルとは、1ビットデータを、1つのトランジスタと1つのキャパシタを用いて記憶するタイプのメモリセルのことであり、データ読み出しは、メモリセルの読み出し電位と参照電位との比較により行うため、メモリ容量の大容量化を実現するには適している（例えば、非特許文献1、2参照）。

【0009】

図5は、1T1Cタイプメモリセルから構成される従来の強誘電体メモリのセルアレイ部の例を示している。

【0010】

セルアレイ部CAには、メモリセルMC及びダミーセルDCが配置される。

【0011】

メモリセルMCは、選択トランジスタST及び強誘電体キャパシタCCから構

成される。選択トランジスタSTと強誘電体キャパシタCCは、直列接続される。選択トランジスタSTの一端は、ビット線BL1に接続され、強誘電体キャパシタCCの一端には、プレート電位VPLが供給される。選択トランジスタSTのゲートは、ワード線WLに接続される。

【0012】

読み出し動作時において、ワード線WLが選択される場合、ワード線WLには、昇圧電位VPP、例えば、約4Vが与えられる。このときのプレート電位VPLとしては、例えば、約2.5Vに設定される。

【0013】

ダミーセルDCは、選択トランジスタDT1, DT2, リセットトランジスタRST及び常誘電体キャパシタDCCから構成される。選択トランジスタDT1は、ビット線BL1と常誘電体キャパシタDCCの一端との間に接続され、選択トランジスタDT2は、ビット線BL2と常誘電体キャパシタDCCの一端との間に接続される。

【0014】

選択トランジスタDT1のゲートは、ダミーワード線bDWLに接続され、選択トランジスタDT2のゲートは、ダミーワード線DWLに接続される。リセットトランジスタRSTの一端は、常誘電体キャパシタDCCの一端に接続され、その他端には、接地電位Vssが供給される。リセットトランジスタRSTのオン／オフは、制御信号BDRSTにより制御される。常誘電体キャパシタDCCの他端には、ダミープレート電位DPLが供給される。

【0015】

ここで、例えば、ビット線BL1にメモリセルMCのデータを読み出す場合、ビット線BL2には、ダミーセルDCにより生成した参照電位が与えられる。つまり、常誘電体キャパシタDCCの一端の電位は、ダミープレート電位（常誘電体キャパシタDCCの他端の電位、例えば、約1.5V）DPLとのカップリングによって、所定値まで上昇する。また、ダミーワード線DWLが“H”になり、ダミーワード線bDWLが“L”になる。

【0016】

センスアンプSAは、ビット線BL1, BL2の間に接続される。センスアンプSAは、2つのPチャネルMOSトランジスタQP1, QP2からなるPチャネルセンスアンプと、2つのNチャネルMOSトランジスタQN1, QN2からなるNチャネルセンスアンプとを有する。Pチャネルセンスアンプは、制御信号BSEPにより制御され、Nチャネルセンスアンプは、制御信号SENにより制御される。

【0017】

センスアンプSAの動作電位VAAは、通常、強誘電体キャパシタCCのプレート電位VPLと同電位（例えば、約2.5V）に設定される。CBは、ビット線BL1, BL2に生じる配線容量である。

【0018】

【非特許文献1】

ISSC94/SESSION 16/TECHNOLOGY DIRECTIONS: MEMORY, PACKAGING/PAPER FA 16.2: A 256kb Nonvolatile Ferroelectric Memory at 3V and 100ns: Sumi et al

【0019】

【非特許文献2】

IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 32, No. 5, MAY 1997: 2-V/100-ns 1T/1C Nonvolatile Ferroelectric Memory Architecture with Bitline-Driven Read Scheme and Nonrelaxation Reference Cell: Hirano et al.

【0020】

【発明が解決しようとする課題】

図6は、横軸に、ビット数（メモリセルの数）、縦軸に、ビット線の電位を示したセル分布図を示している。

【0021】

VBLは、メモリセルから“0”が読み出されるときのビット線の電位（信号量）の分布であり、V BHは、メモリセルから“1”が読み出されるときのビット線の電位（信号量）の分布であり、VR efは、ダミーセルから参照電位が読み出されるときのビット線の電位（信号量）の分布である。

【0022】

VBL, VBH, VRefについて、このような分布が生じる理由は、セルキャパシタ（強誘電体キャパシタ又は常誘電体キャパシタ）の寸法や厚さなどに関して、製造ばらつきが発生するためである。

【0023】

読み出し時のセンス動作で、“1”と“0”を正しく判定するためには、例えば、VR_{e f}分布の平均値（VR_{e f}分布の最大値と最小値の中間値）を、VBL分布の最大値（矢印61の先端）とV BH分布の最小値（矢印63の先端）との中間値（矢印62の先端）に設定するのが理想である（ $\Delta H = \Delta L$ ）。

【0024】

しかし、特に、強誘電体キャパシタに関しては、信頼性の経時変化、寸法や厚さなどの製造ばらつきや、動作環境（例えば、温度）の変化などに起因して、その特性が大きく変化する。例えば、図6の破線に示すように、VBL分布が、これらの要素に起因して、理想の位置からV BH側にシフトする場合がある。

【0025】

この場合、VBL分布の最大値とVR_{e f}分布の平均値との間のマージンが不十分になり、“0”一読み出しに関して、誤動作が発生する確率が高くなる。

【0026】

また、このような“0”一読み出しに関する誤動作を防ぐため、VR_{e f}分布についてもV BH側にシフトさせ、十分なマージンを確保すると、今度は、V BH分布の最小値とVR_{e f}分布の平均値との間のマージンが不十分になる。その結果、“1”一読み出しに関して、誤動作が発生する確率が高くなる。

【0027】

本発明の目的は、強誘電体キャパシタの信頼性の経時変化、寸法や厚さなどの製造ばらつきや、動作環境の変化などに影響されずに、常に、読み出しデータに応じたビット線の電位と参照電位との間に十分なマージンを確保できる1T1Cタイプ強誘電体メモリを提案することにある。

【0028】**【課題を解決するための手段】**

本発明の例に関わる強誘電体メモリは、第1強誘電体キャパシタを有するメモリセルと、参照電位を用いて、メモリセルのデータ値を判定するセンスアンプと、常誘電体キャパシタ及び第2強誘電体キャパシタを用いて参照電位を発生する参照電位発生回路とを備える。

【0029】

例えば、常誘電体キャパシタの一端及び第2強誘電体キャパシタの一端は、共通ノードに接続され、常誘電体キャパシタの他端には、第1駆動信号が与えられ、第2強誘電体キャパシタの他端には、第2駆動信号が与えられる。

【0030】

本発明の例に関わる強誘電体メモリは、さらに、ビット線と、そのビット線と共通ノードとの間に接続される選択トランジスタとを備える。

【0031】

本発明の例に関わる強誘電体メモリは、さらに、第1及び第2駆動信号の値を微調整するためのトリミング回路を備える。

【0032】

参照電位発生回路は、メモリセルアレイ内に配置されていてもよく、また、メモリセルアレイの周辺部に配置されていてもよい。

【0033】

本発明の例に関わる強誘電体メモリは、さらに、共通ノードの電位に基づいて電流駆動力を有する第1電位を発生するボルテージフォロア回路を備える。

【0034】

本発明の例に関わる強誘電体メモリは、さらに、参照電位の値を微調整する第2電位を発生するトリミング回路と、第1及び第2電位を加算する加算器とを備える。

【0035】

本発明の例に関わる強誘電体メモリは、第1強誘電体キャパシタを有するメモリセルと、参照電位を用いて、メモリセルのデータ値を判定するセンスアンプと、第2強誘電体キャパシタを用いて参照電位を発生する参照電位発生回路と、参照電位の値を微調整するトリミング回路とを備える。

【0036】

本発明の例に関わる読み出し方法は、第1強誘電体キャパシタを有するメモリセルからデータを読み出す場合に、第1及び第2ビット線をプリチャージし、第1ビット線の電位をデータの値に応じて変化させ、常誘電体キャパシタ及び第2強誘電体キャパシタを用いて参照電位を生成し、第2ビット線の電位を参照電位に設定し、第1及び第2ビット線の電位差に基づいてデータの値を判定する、という一連の工程を備える。

【0037】

【発明の実施の形態】

以下、図面を参照しながら、本発明の例に関わる強誘電体メモリについて詳細に説明する。

【0038】

1. 概要

本発明の例に関わる強誘電体メモリは、読み出し動作時に、読み出しデータの値を判定する基準となる参照電位を発生する参照電位発生回路に関する。即ち、本発明の例は、参照電位を必要とする強誘電体メモリ、例えば、1つのメモリセルが、1つのトランジスタと1つのキャパシタから構成される1T1Cタイプ強誘電体メモリに適用される。

【0039】

読み出し動作時に、常に、安定した読み出し動作を実現するためには、参照電位発生回路の設計が非常に重要となってくる。本発明の例では、参照電位を、2つの成分、① 常誘電体キャパシタによる成分と、② 強誘電体キャパシタによる成分との和で発生させる。

【0040】

これにより、強誘電体キャパシタの信頼性の経時変化、寸法や厚さなどの製造ばらつきや、動作環境の変化などに影響されずに、常に、読み出しデータに応じたビット線の電位と参照電位との間に十分なマージンを確保できる。その結果、誤読み出しが発生する確率が大幅に減り、安定動作を実現できる。

【0041】

2. 実施例 1

(1) 回路例

図1は、本発明の実施例1に関わる1T1Cタイプ強誘電体メモリのセルアレイ部を示している。

【0042】

セルアレイ部CAには、メモリセルMC及びダミーセルDCが配置される。

【0043】

メモリセルMCは、選択トランジスタST及び強誘電体キャパシタCCから構成される。選択トランジスタSTと強誘電体キャパシタCCは、直列接続される。選択トランジスタSTの一端は、ビット線BL1に接続され、強誘電体キャパシタCCの一端には、プレート電位VPLが供給される。選択トランジスタSTのゲートは、ワード線WLに接続される。

【0044】

読み出し動作時において、ワード線WLが選択される場合、ワード線WLには昇圧電位VPP、例えば、約4Vが与えられる。このときのプレート電位VPLとしては、例えば、約2.5Vに設定される。

【0045】

ダミーセル（参照電位発生回路）DCは、選択トランジスタDT1, DT2, リセットトランジスタRST、常誘電体キャパシタDCC1及び強誘電体キャパシタDCC2から構成される。選択トランジスタDT1は、ビット線BL1とノードN1（常誘電体キャパシタDCC1の一端及び強誘電体キャパシタDCC2の一端）との間に接続され、選択トランジスタDT2は、ビット線BL2とノードN1との間に接続される。

【0046】

選択トランジスタDT1のゲートは、ダミーワード線bDWLに接続され、選択トランジスタDT2のゲートは、ダミーワード線DWLに接続される。リセットトランジスタRSTの一端は、ノードN1に接続され、その他端には、接地電位Vssが供給される。リセットトランジスタRSTのオン／オフは、制御信号BDRSTにより制御される。

【0047】

常誘電体キャパシタDCC1の他端には、ダミープレート電位（駆動信号）DPL1が供給され、強誘電体キャパシタDCC2の他端には、ダミープレート電位（駆動信号）DPL2が供給される。

【0048】

ここで、例えば、ビット線（選択ビット線）BL1にメモリセルMCのデータを読み出す場合、ビット線（参照ビット線）BL2には、ダミーセルDCにより生成した参照電位が与えられる。つまり、ノードN1の電位は、ダミープレート電位DPL1、即ち、常誘電体キャパシタDCC1の他端の電位とのカップリングと、ダミープレート電位DPL2、即ち、強誘電体キャパシタDCC2の他端の電位とのカップリングとにより、所定値まで上昇する。また、ダミーワード線DWLが“H”となり、ダミーワード線bDWLが“L”となる。

【0049】

なお、ダミープレート電位DPL1, DPL2としては、互いに異なっていても、又は、同じであってもよい。

【0050】

また、ダミープレート電位DPL1, DPL2の値は、参照電位の値を決定する。従って、ダミープレート電位DPL1, DPL2の値を、D/Aコンバータ10などのトリミング回路を用いて微調整できるようにすれば、参照電位の値の微調整も、可能である。

【0051】

センスアンプSAは、ビット線BL1, BL2の間に接続される。センスアンプSAは、2つのPチャネルMOSトランジスタQP1, QP2からなるPチャネルセンスアンプと、2つのNチャネルMOSトランジスタQN1, QN2からなるNチャネルセンスアンプとを有する。Pチャネルセンスアンプは、制御信号BSEPにより制御され、Nチャネルセンスアンプは、制御信号SENにより制御される。

【0052】

センスアンプSAの動作電位VAAは、通常、強誘電体キャパシタCCのプレ

ート電位VPLと同電位（例えば、約2.5V）に設定される。

【0053】

(2) 効果

図2は、横軸に、ビット数（メモリセルの数）、縦軸に、ビット線の電位を示したセル分布図を示している。

【0054】

VBLは、メモリセルから“0”が読み出されるときのビット線の電位（信号量）の分布であり、V BHは、メモリセルから“1”が読み出されるときのビット線の電位（信号量）の分布であり、VR efは、ダミーセルから参照電位が読み出されるときのビット線の電位（信号量）の分布である。

【0055】

参照電位VR efは、常誘電体キャパシタによる成分と、強誘電体キャパシタによる成分との和で生成されるため、VR ef分布も、常誘電体キャパシタ成分による分布（例えば、図6のVR ef）と強誘電体キャパシタ成分による分布（例えば、図6のVBL）とを合成した分布となる。

【0056】

この場合、例えば、図2の破線に示すように、VBL分布が、強誘電体キャパシタの信頼性の経時変化、寸法や厚さなどの製造ばらつきや、動作環境（例えば、温度）の変化などに起因して、変動すると、同時に、VR ef分布も、VBL分布の変動と同じように変動する。このため、VR ef分布の平均値（VR ef分布の最大値と最小値の中間値）と、VBL分布の最大値（矢印61の先端）との差 ΔL は、VBL分布の変動によらず、ほぼ一定となる。

【0057】

従って、VR ef分布の平均値とVBL分布の最大値との間には、VBL分布の変動に基づくマージンを設ける必要がない。このことは、VR ef分布の平均値とVBL分布の最大値との間のマージン ΔL を狭めることができ、さらに、その分だけ、VR ef分布の平均値とV BH分布の最小値との間のマージン ΔH を広げることができることを意味している。

【0058】

つまり、本発明の例によれば、VBL分布の変動が生じても、“0”一読み出しに関して誤動作はなく、かつ、マージン ΔH は、十分に広く設定されているため、“1”一読み出しに関しても、誤動作をなくすことができる。

【0059】

このように、参照電位VR_{e f}を、常誘電体キャパシタによる成分と、強誘電体キャパシタによる成分との和により生成することで、常に、読み出しデータに応じたビット線の電位と参照電位との間に十分なマージンを確保でき、結果として、“0”一読み出し及び“1”一読み出しの双方に関して、誤動作の発生確率を低くすることができる。

【0060】

(3) まとめ

以上、実施例1では、参照電位VR_{e f}は、強誘電体キャパシタ成分を含んでいるため、強誘電体キャパシタの信頼性の経時変化、寸法や厚さなどの製造ばらつきや、動作環境の変化などに起因して、VBL分布が変動すると、VR_{e f}分布も、同じように変動する。

【0061】

従って、“0”一読み出しに関するマージン ΔL を狭めることができ、その分、“1”一読み出しに関するマージンを広げることができる。これにより、“0”一読み出し及び“1”一読み出しの双方に関して、誤動作の発生確率を低くでき、安定動作を実現できる。

【0062】

3. 実施例2

(1) 回路例

図3は、本発明の実施例2に関わる1T1Cタイプ強誘電体メモリのセルアレイ部を示している。

【0063】

本回路例の特徴は、2本のビット線ごとに設けられるダミーセルDC内に、参照電位を発生させるためのキャパシタが存在せず、その代わりに、メモリセルアレイ内の複数又は全てのダミーセルDCに、共通に、参照電位DPL3を供給す

るための参照電位発生回路を設けた点にある。

【0064】

セルアレイ部CAには、メモリセルMC及びダミーセルDCが配置される。

【0065】

メモリセルMCは、選択トランジスタST及び強誘電体キャパシタCCから構成される。選択トランジスタSTと強誘電体キャパシタCCは、直列接続される。選択トランジスタSTの一端は、ビット線BL1に接続され、強誘電体キャパシタCCの一端には、プレート電位VPLが供給される。選択トランジスタSTのゲートは、ワード線WLに接続される。

【0066】

ダミーセルDCは、選択トランジスタDT1, DT2及びリセットトランジスタRSTから構成される。選択トランジスタDT1は、ビット線BL1とノードN1との間に接続され、選択トランジスタDT2は、ビット線BL2とノードN1との間に接続される。

【0067】

選択トランジスタDT1のゲートは、ダミーワード線bDWLに接続され、選択トランジスタDT2のゲートは、ダミーワード線DWLに接続される。リセットトランジスタRSTの一端は、ノードN1に接続され、その他端には、接地電位Vssが供給される。リセットトランジスタRSTのオン／オフは、制御信号BDRSTにより制御される。

【0068】

ノードN1には、参照電位DPL3が供給される。参照電位DPL3は、メモリセルアレイの周辺部に設けられる参照電位発生回路により生成される。参照電位発生回路は、メモリチップ内に、1個だけ設けててもよいし、また、複数個設けてもよい。

【0069】

センスアンプSAは、ビット線BL1, BL2の間に接続される。センスアンプSAは、2つのPチャネルMOSトランジスタQP1, QP2からなるPチャネルセンスアンプと、2つのNチャネルMOSトランジスタQN1, QN2から

なるNチャネルセンスアンプとを有する。Pチャネルセンスアンプは、制御信号BSEPにより制御され、Nチャネルセンスアンプは、制御信号SENにより制御される。

【0070】

センスアンプSAの動作電位VAAは、通常、強誘電体キャパシタCCのプレート電位VPLと同電位（例えば、約2.5V）に設定される。

【0071】

(2) 参照電位発生回路

図4は、図3における参照電位DPL3を発生する参照電位発生回路の回路例を示している。

【0072】

参照電位発生回路は、上述のように、メモリセルアレイの周辺部に、少なくとも1個設けられる。

【0073】

常誘電体キャパシタDCC1の一端と強誘電体キャパシタDCC2の一端とは、互いに電気的に接続される。常誘電体キャパシタDCC1の他端には、ダミープレート電位（駆動信号）DPL1が供給され、強誘電体キャパシタDCC2の他端には、ダミープレート電位（駆動信号）DPL2が供給される。

【0074】

常誘電体キャパシタDCC1及び強誘電体キャパシタDCC2の一端の電位DPL12は、ダミープレート電位DPL1によるカップリング成分（常誘電体キャパシタ成分）とダミープレート電位DPL2によるカップリング成分（強誘電体キャパシタ成分）との和となる。

【0075】

DPL12は、ボルテージフォロア回路11に入力される。ボルテージフォロア回路11は、差動増幅器Ampと、PチャネルMOSトランジスタP1とから構成され、DPL12に基づき、DPL12と同電位のDPL12Sを生成する機能を有する。

【0076】

即ち、ボルテージフォロア回路11内の差動増幅器Ampは、DPL12SがDPL12に等しくなるように、PチャネルMOSトランジスタP1のゲート電位を制御する。

【0077】

このように、ボルテージフォロア回路11によりDPL12Sを生成するようにした理由は、DPL12が、カップリング現象により発生させた電位であり、電流による負荷の駆動力（電流駆動力）、具体的には、ビット線を所定電位にするためにビット線に生じる寄生容量を全て満たすだけの電荷量を有していないためである。

【0078】

そこで、本例では、ボルテージフォロア回路11を用いて、DPL12と同電位であり、電流駆動力を有するDPL12Sを生成する。

【0079】

D/Aコンバータ12は、ダミープレート電位DPL3の値を微調整（トリミング）するためのトリミング回路であり、微調整のための電位DPLTを発生する。加算器13は、DPL12SとDPLTとを加算し、DPL3を、参照電位として、メモリセルアレイ内の複数又は全てのダミーセルDCに供給する。

【0080】

ここで、例えば、図3のビット線BL1にメモリセルMCのデータを読み出す場合には、まず、ビット線BL1, BL2がプリチャージ及びイコライズされ、ビット線BL1, BL2の電位が所定値に設定される。この後、ビット線BL2が、図4の参照電位発生回路により発生した参照電位DPL3に設定され、ビット線BL1の電位については、メモリセルMCに記憶されたデータの値に応じて変化する。

【0081】

そして、センスアンプSAにより、ビット線BL1, BL2の間に生じた電位差を広げ、メモリセルMCのデータ値を判定する。

【0082】

なお、参照電位DPL3は、常誘電体キャパシタ成分、強誘電体キャパシタ成

分及びトリミング成分からなる。ここで、常誘電体キャパシタ成分とトリミング成分は、まとめることができる。例えば、図4の常誘電体キャパシタDCC1を省略し、D/Aコンバータ12により、常誘電体キャパシタ成分及びトリミング成分を発生させるようにしてもよい。

【0083】

ダミープレート電位DPL1, DPL2としては、互いに異なっていても、又は、同じであってもよい。

【0084】

(3) まとめ

このように、実施例2においても、参照電位DPL3は、強誘電体キャパシタ成分を含んでいる。従って、実施例1と同様に、強誘電体キャパシタの信頼性の経時変化、寸法や厚さなどの製造ばらつきや、動作環境の変化などに影響されることなく、“0”一読み出し及び“1”一読み出しの双方に関して、誤動作の発生確率を低くでき、安定動作を実現できる。

【0085】

【発明の効果】

以上、説明したように、本発明の例に関わる強誘電体メモリによれば、強誘電体キャパシタの信頼性の経時変化、寸法や厚さなどの製造ばらつきや、動作環境の変化などに影響されずに、常に、読み出しデータに応じたビット線の電位と参照電位との間に十分なマージンを確保できる1T1Cタイプ強誘電体メモリを提供できる。

【図面の簡単な説明】

【図1】

本発明の実施例1に関わる強誘電体メモリの主要部を示す回路図。

【図2】

選択ビット線の電位分布と参照ビット線の電位分布を示す図。

【図3】

本発明の実施例2に関わる強誘電体メモリの主要部を示す回路図。

【図4】

図3の参照電位を発生する参照電位発生回路の例を示す回路図。

【図5】

従来の強誘電体メモリの主要部を示す回路図。

【図6】

選択ビット線の電位分布と参照ビット線の電位分布を示す図。

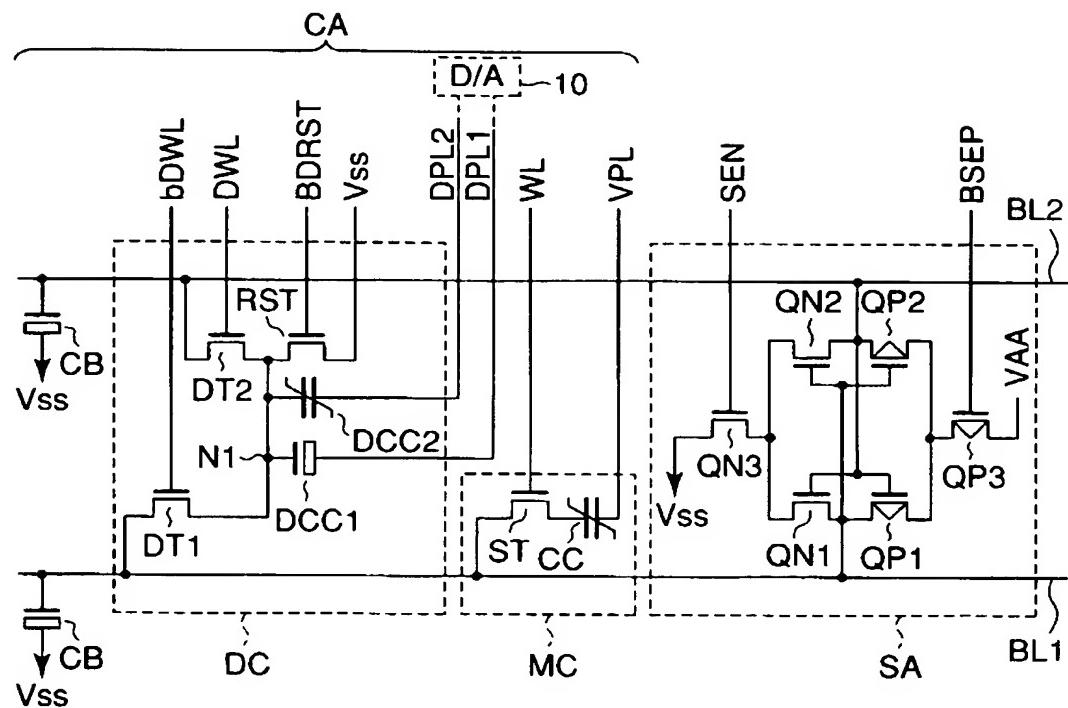
【符号の説明】

1 0 , 1 2	: D/Aコンバータ、
1 1	: ボルテージフォロア回路、
1 3	: 加算器、
S T , D T 1 , D T 2	: 選択トランジスタ、
R S T	: リセットトランジスタ、
D C C , D C C 1	: 常誘電体キャパシタ、
C C , D C C 2	: 強誘電体キャパシタ。

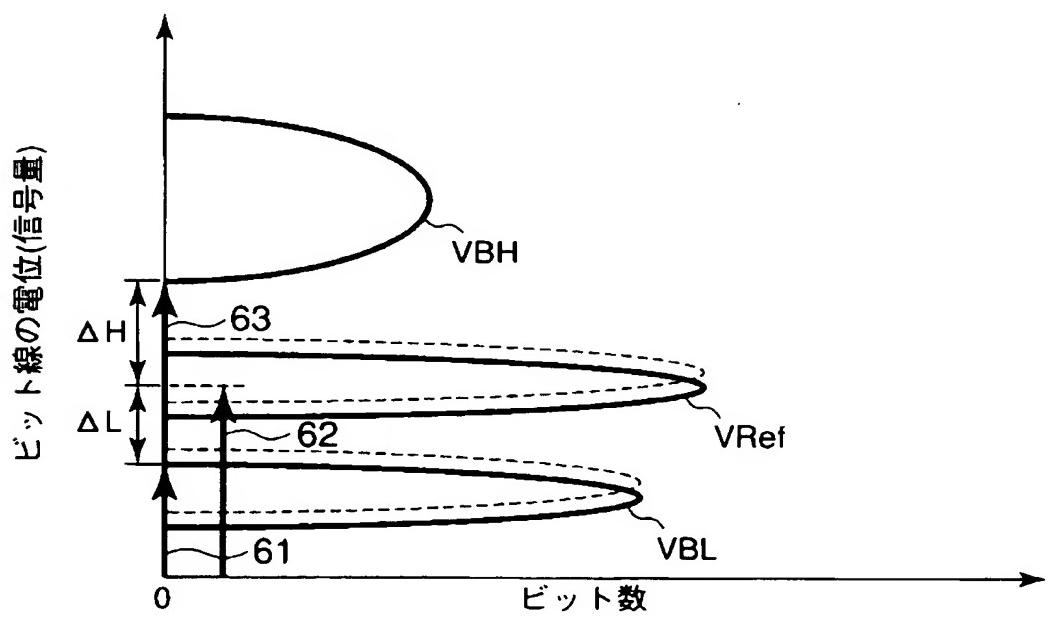
【書類名】

図面

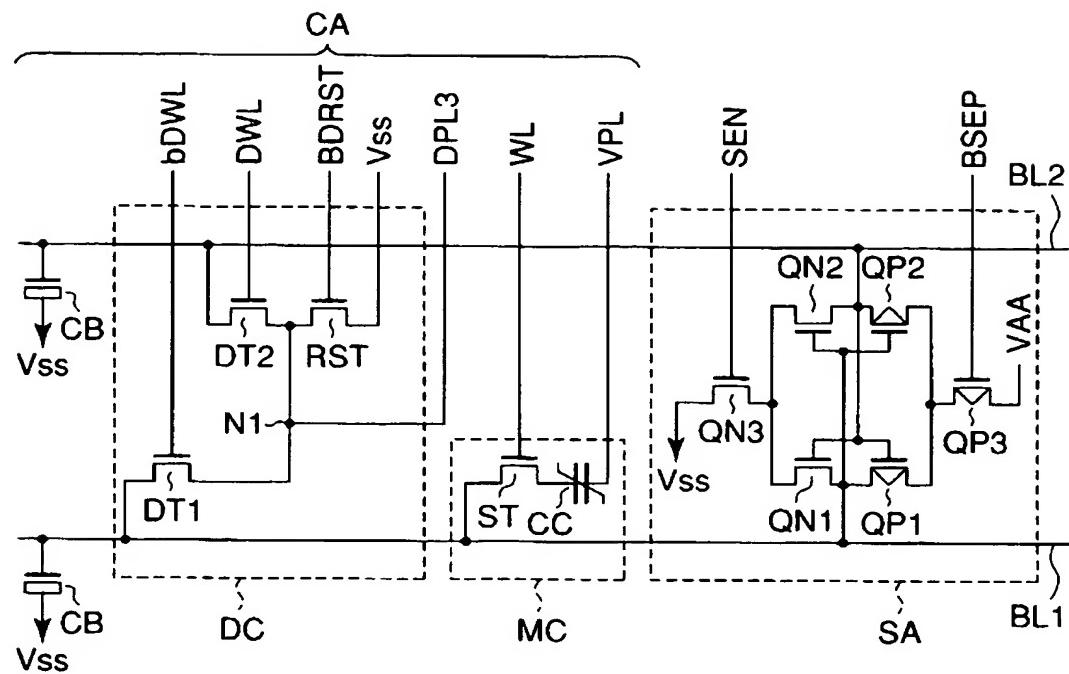
【図 1】



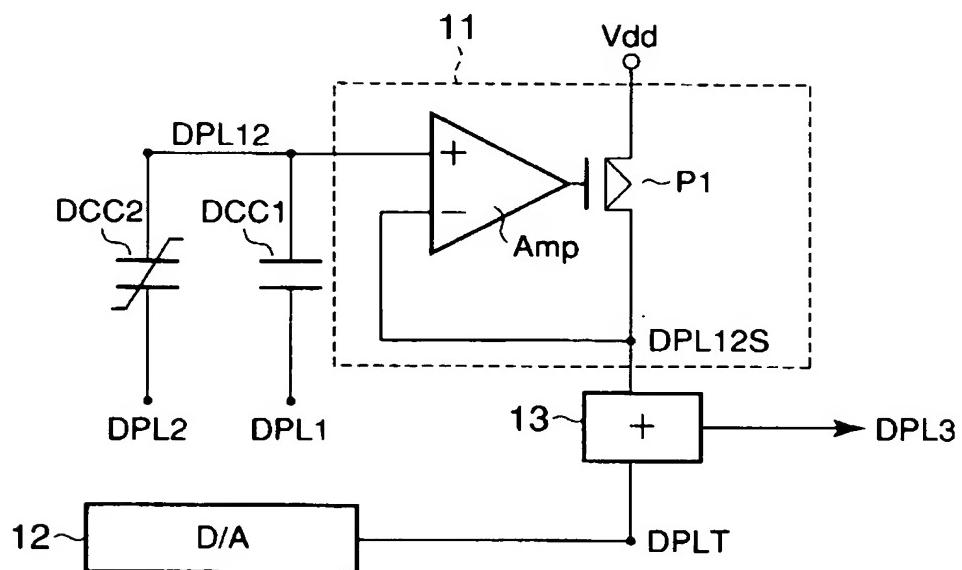
【図 2】



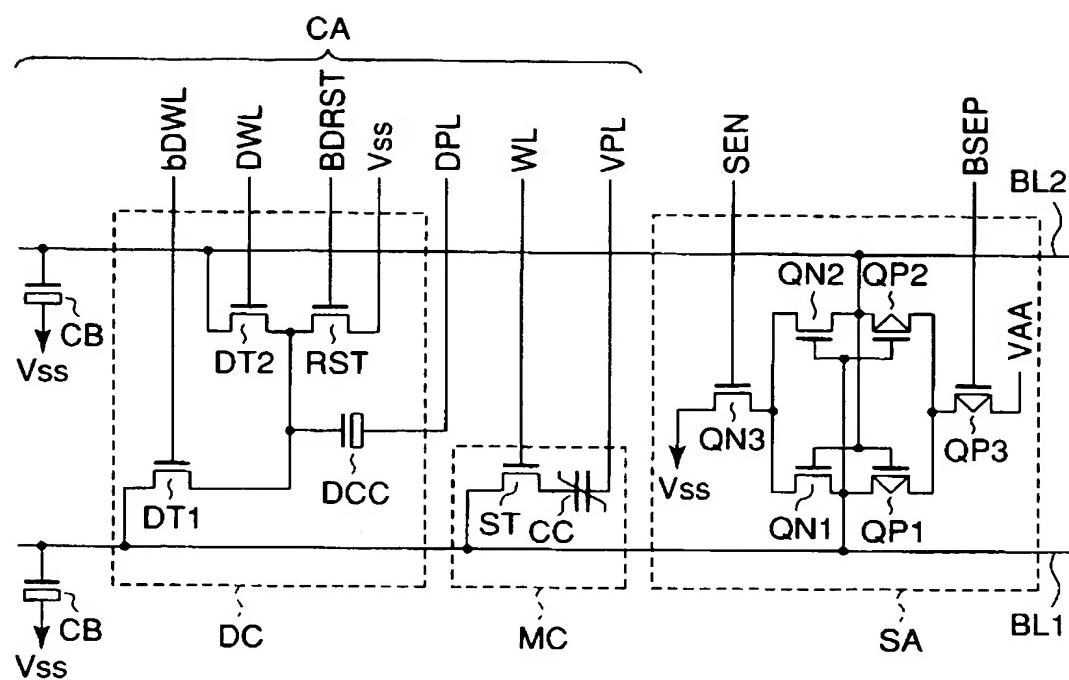
【図3】



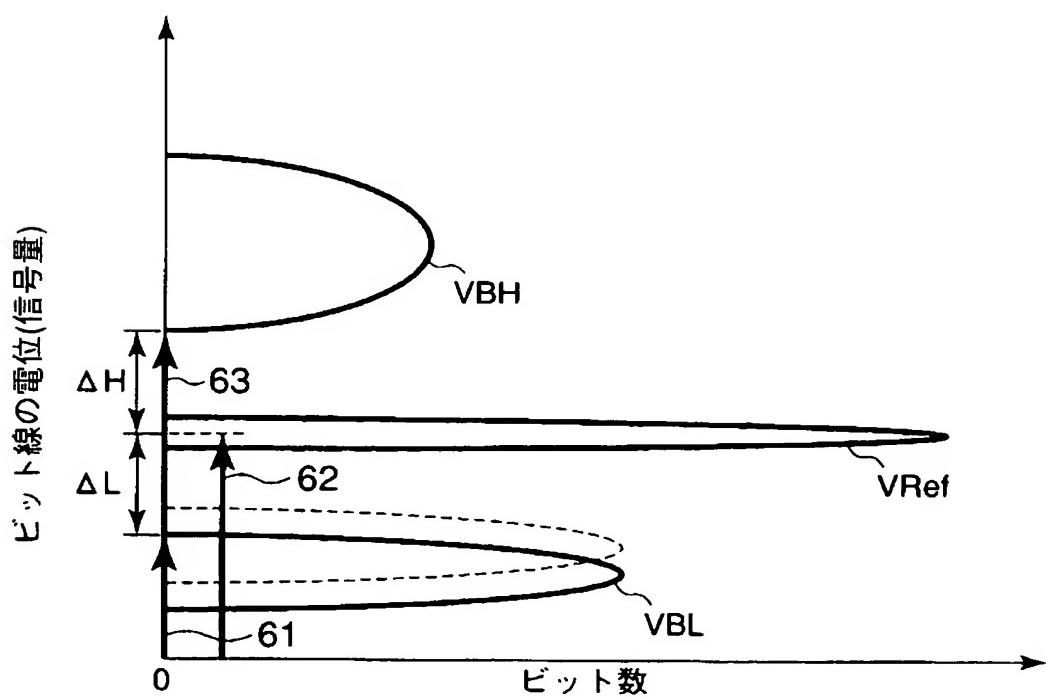
【図4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 選択／参照ビット線の電位差マージンを確保し、安定動作を図る。

【解決手段】 ダミーセル（参照電位発生回路）DCは、常誘電体キャパシタDCC1及び強誘電体キャパシタDCC2を有する。常誘電体キャパシタDCC1の一端及び強誘電体キャパシタDCC2の一端は、共に、ノードN1に接続される。常誘電体キャパシタDCC1の他端には、ダミープレート電位DPL1が与えられ、強誘電体キャパシタDCC2の他端には、ダミープレート電位DPL2が与えられる。メモリセルMCのデータがビット線（選択ビット線）BL1に読み出されるとき、ビット線（参照ビット線）BL2には、ダミーセルDCから参照電位が供給される。

【選択図】 図1

特願2002-300522

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住所 東京都港区芝浦一丁目1番1号
氏名 株式会社東芝